

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-312800
 (43)Date of publication of application : 09.11.1999

(51)Int.Cl.

H01L 27/146
H04N 5/335

(21)Application number : 10-121390

(71)Applicant : CANON INC

(22)Date of filing : 30.04.1998

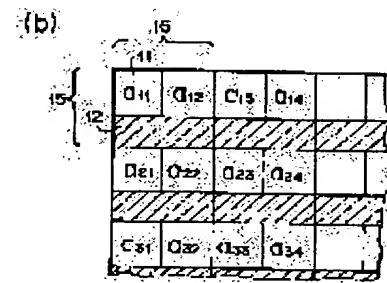
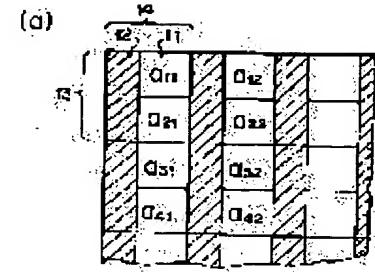
(72)Inventor : HASHIMOTO SEIJI
HOSHI JUNICHI

(54) IMAGE-PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image-pickup device which provides satisfactory performance without deterioration in resolution and equipped with a photoelectric conversion part and an amplifying means.

SOLUTION: Unit cells each of which is composed of an amplifier 12 and photoelectric conversion parts 11 are arranged in a one-dimensional or two-dimensional state for the formation of an image sensing device, in which the photoelectric conversion parts 11 are arranged separating from each other by a certain spatial distance. The photoelectric conversion parts 11 are arranged adjacent to each other in a certain direction, and the amplifiers 12 are arranged along the photoelectric conversion parts 11. An amplifier 12 is arranged between the photoelectric conversion parts 11 in a unit cell, where the amplifier 12 is arranged and the photoelectric conversion parts 11 located in an adjacent unit cell. The amplifiers 12 are provided in common to the photoelectric conversion parts 11 arranged in the horizontal direction.



LEGAL STATUS

[Date of request for examination] 23.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3337976

[Date of registration] 09.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-312800

(43)公開日 平成11年(1999)11月9日

(51)Int.Cl.⁶

H 01 L 27/146
H 04 N 5/335

識別記号

F I

H 01 L 27/14
H 04 N 5/335

A
E
U

審査請求 未請求 請求項の数15 O.L (全 10 頁)

(21)出願番号

特願平10-121390

(22)出願日

平成10年(1998)4月30日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 橋本 誠二

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 星 淳一

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

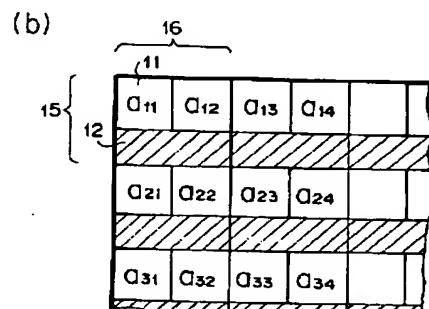
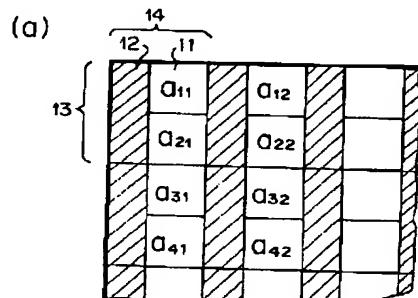
(74)代理人 弁理士 山下 積平

(54)【発明の名称】 撮像装置

(57)【要約】 (修正有)

【課題】 解像度を損なうことなく、良好な性能の撮像装置を得ることが困難。

【解決手段】 1つのアンプ12に対して複数の光電変換部11を配置してなる単位セルを一次元状あるいは二次元状に設けた撮像装置において、光電変換部11を一定の空間的距離を持って配列した。また、複数の光電変換部を一方向に隣り合って配置し、配置された複数の光電変換部に沿ってアンプを配置した。また、アンプが配置されている単位セル内の複数の光電変換部と、隣り合う単位セル内の複数の光電変換部との間にアンプが配置されている。また、水平方向に配列された複数の光電変換部に対してアンプを共通化した。



【特許請求の範囲】

【請求項1】 1つのアンプに対して複数の光電変換部を配置してなる単位セルを一次元状あるいは二次元状に設けた撮像装置において、

前記光電変換部を一定の空間的距離を持って配列したことを特徴とする撮像装置。

【請求項2】 請求項1に記載の撮像装置において、前記複数の光電変換部を一方向に隣り合って配置し、配置された複数の光電変換部に沿って前記アンプを配置したことを特徴とする撮像装置。

【請求項3】 請求項1に記載の撮像装置において、前記アンプが配置されている単位セル内の複数の光電変換部と、隣り合う単位セル内の複数の光電変換部との間に前記アンプが配置されていることを特徴とする光電変換装置。

【請求項4】 請求項1～3のいずれか1項に記載の撮像装置において、水平方向に配列された前記複数の光電変換部に対して前記アンプを共通化したことを特徴とする撮像装置。

【請求項5】 請求項1～3のいずれか1項に記載の撮像装置において、垂直方向に配列された前記複数の光電変換部に対して前記アンプを共通化したことを特徴とする撮像装置。

【請求項6】 請求項4又は請求項5に記載の撮像装置において、前記単位セルは1つの光電変換部を含む画素の複数から構成され、前記単位セルを貫通する水平方向の配線数は、各画素で等しいことを特徴とする撮像装置。

【請求項7】 請求項4又は請求項5に記載の撮像装置において、前記単位セルは1つの光電変換部を含む画素の複数から構成され、前記単位セルを貫通する水平方向の配線の数が各画素で等しくなすように、各画素中の層間のコンタクトを配するとともに、前記単位セルを貫通する配線と接続されない1つのコンタクトを画素の遮光膜と接続したことを特徴とする撮像装置。

【請求項8】 1つのアンプに対して複数の光電変換部を配置してなる単位セルを一次元状あるいは二次元状に設けた撮像装置において、

前記アンプのノイズを読み出すノイズ読み出し手段と、前記アンプを通して第一の信号を読み出す第一の信号手段と、前記アンプを通して第二の信号を読み出す第二の信号手段と、

前記第一、第二の信号より前記ノイズを除去する手段と、を有することを特徴とする撮像装置。

【請求項9】 1つのアンプに対して複数の光電変換部を配置してなる単位セルを一次元状あるいは二次元状に設けた撮像装置において、

前記アンプのノイズを読み出すノイズ読み出し手段と、前記アンプを通して、一の光電変換部から第一の信号を

読み出す第一の信号手段と、

前記アンプを通して、前記一の光電変換部および他の光電変換部から第二の信号を読み出す第二の信号手段と、前記第一の信号および前記第二の信号より前記ノイズを除去する手段と、を有することを特徴とする撮像装置。

【請求項10】 1つのアンプに対して複数の光電変換部を配置してなる単位セルを一次元状あるいは二次元状に設けた撮像装置において、

前記アンプのノイズを読み出すノイズ読み出し手段と、前記アンプを通して、一の光電変換部から第一の信号を読み出す第一の信号手段と、

前記アンプを通して、他の光電変換部から第二の信号を読み出す第二の信号手段と、

前記第一の信号および前記第二の信号より前記ノイズを除去する手段と、を有することを特徴とする撮像装置。

【請求項11】 複数の光電変換部と該複数の光電変換部からの信号を処理して出力線に処理信号を読み出す処理部とを配置してなる単位セルを一次元状あるいは二次元状に設けた撮像装置において、

前記光電変換部を一定の空間的距離を持って配列したことを特徴とする撮像装置。

【請求項12】 請求項11に記載の撮像装置において、前記複数の光電変換部を一方向に隣り合って配置し、配置された複数の光電変換部に沿って前記処理部を配置したことを特徴とする撮像装置。

【請求項13】 請求項11に記載の撮像装置において、前記処理部が配置されている単位セル内の複数の光電変換部と、隣り合う単位セル内の複数の光電変換部との間に前記処理部が配置されていることを特徴とする光電変換装置。

【請求項14】 請求項11～13のいずれか1項に記載の撮像装置において、水平方向に配列された前記複数の光電変換部に対して前記処理部を共通化したことを特徴とする撮像装置。

【請求項15】 請求項11～13のいずれか1項に記載の撮像装置において、垂直方向に配列された前記複数の光電変換部に対して前記処理部を共通化したことを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は画像を撮像する撮像装置、例えばAPS(Active Pixel Sensor)を有する撮像装置に関するものである。

【0002】

【従来の技術】 従来、ゲインセル、あるいはAPSを有する撮像装置には、画素アンプにバイポーラトランジスタ、FET、JFET、CMOSなどを用いたものがある。これらは光電変換素子であるホトダイオードに蓄積された信号電荷を各自の方式によって増幅し、画像情報として読出すものである。信号電荷を増幅する手段は各

3
々の画素中に存在するため、ゲインセルあるいはAPSと呼ばれている。

【0003】APSは画素中に増幅手段（アンプ）やその制御手段を有するため、光電変換部の画素に占める割合（面積率）、あるいは、光が入射する領域の画素に占める割合（開口率）は小さくなりがちである。従って撮像装置のダイナミックレンジ、感度、S/N比等は低下する恐れがある。

【0004】増幅手段による面積率、開口率の低下を防ぐ方法として、例えば特開昭63-100879号公報あるいは特開平9-46596号公報に見られるように、複数画素で1つの増幅手段を共有する方法が提案されている。

【0005】図14はその画素構成を示す図である。図14において、PD1, PD2は光電変換部となるホトダイオード、MTX1, MTX2はホトダイオードPD1, PD2に蓄積された信号電荷を転送する転送用MOSトランジスタ、MRESはリセット用MOSトランジスタ、MSF, MSELは増幅手段（ソースフォロア）を構成するMOSトランジスタであり、MSELは画素を選択する選択用スイッチとなっている。

【0006】

【発明が解決しようとする課題】しかしながら、上記特開昭63-100879号公報あるいは特開平9-46596号公報には光電変換部と増幅手段との具体的な配置については開示されていなかった。

【0007】本発明は、解像度を低下させることなく、良好な性能を得ることができる、光電変換部と増幅手段との配置を有する撮像装置を提供することを目的とする。

【0008】また、本発明は上記の撮像装置に好適に用いられるノイズ除去手段を有する撮像装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明の撮像装置は、1つのアンプに対して複数の光電変換部を配置してなる単位セルを一次元状あるいは二次元状に設けた撮像装置において、前記光電変換部を一定の空間的距離を持って配列したことを特徴とする。

【0010】また本発明の撮像装置は、1つのアンプに対して複数の光電変換部を配置してなる単位セルを一次元状あるいは二次元状に設けた撮像装置において、前記アンプのノイズを読み出すノイズ読み出し手段と、前記アンプを通して第一の信号を読み出す第一の信号手段と、前記アンプを通して第二の信号を読み出す第二の信号手段と、前記第一、第二の信号より前記ノイズを除去する手段と、を有することを特徴とする。

【0011】また本発明の撮像装置は、1つのアンプに対して複数の光電変換部を配置してなる単位セルを一次元状あるいは二次元状に設けた撮像装置において、前記

アンプのノイズを読み出すノイズ読み出し手段と、前記アンプを通して、一の光電変換部から第一の信号を読み出す第一の信号手段と、前記アンプを通して、前記一の光電変換部および他の光電変換部（又は他の光電変換部）から第二の信号を読み出す第二の信号手段と、前記第一の信号および前記第二の信号より前記ノイズを除去する手段と、を有することを特徴とする。

【0012】

【発明の実施の形態】本発明の実施形態の説明に先だって本発明にいたる技術的背景について説明する。

【0013】本発明者らは、前述した、特開昭63-100879号公報あるいは特開平9-46596号公報に見られるような、複数画素で1つの増幅手段（アンプ）を共有する撮像装置における、画素レイアウトを検討した。

【0014】図11に撮像装置の一例の画素レイアウト図を示す。本例は画素の2行毎に増幅手段を共有する例であり、2つのホトダイオード203（a11とa21、a12とa22、a31とa41、a32とa42、…）の間に増幅手段204が配置されている。ここで201は2行分の線返し単位セル、202は1列分の線返し単位セルを示す。

【0015】図12により具体的な画素のパターンレイアウト図を示す。撮像装置はCMOSセンサーである。

【0016】図12において、221は前述の線返しの単位セル（図中の点線領域）であり、2画素分の大きさで、行、列方向に線返し配置されている。ホトダイオード222a, 222b（図中、太線線で囲われた領域）に入射された光は蓄積電荷である電子に変換され、ホトダイオード222a, 222b中に蓄積される。蓄積された電荷は奇数行転送ゲート223、あるいは偶数行転送ゲート224によってフローティングディフェュージョン225（図中、太線線で囲われた領域）に転送され、増幅手段であるMOS型アンプの入力ゲート（フローティングゲート）226に運ばれる。この蓄積電荷によってMOS型アンプを流れる電流は変調を受け、その出力電流は垂直信号線227によって画素アレーから取出される。

【0017】上記撮像装置（2次元画素アレー）のX-Yアドレッシングは、垂直信号線227と、奇数行走査線228、偶数行走査線229、行選択線230によって行われている。また、これらの配線の他に電源V_Dの配線231と、フローティングディフェュージョン225と、入力ゲート226を所定の電圧にリセットするためのリセット線232が同じく水平方向に配線されている。

【0018】配線228～232はセル内の配線よりも上方に配置されており、従ってその分基本寸法は太めである。この5本の不透明な配線228～232は光学的に不感領域となるため、分散配置された増幅手段はこれ

らの配線228～232の下に置かれる。そこで、ホトダイオードの位置を上下に配置することが考えられる。

【0019】しかし、このような配置は図11から明らかなように、光電変換素子の配列が等ピッチとはならないので、次のような問題が生じる。

【0020】すなわち、同色の等ピッチでない配列は、部分的に空間周波数、解像度が等しくないために、解像度の低下、モアレ縞等の不良を発生させる。

【0021】なお図13(a), (b)に示したような異なった色の配置を用いて光電変換素子のピッチを同色間で揃えるといった方法も考えられるが、以下の2つの点で不満足な点が残る。

【0022】1つは配列によって使用される色が限定されるという点であり、もう1つはG以外の画素からも輝度信号Yを合成しているため、解像度に対してモアレの影響があるという点である。

【0023】本発明者らは上記の点に鑑み、さらに検討を進めた結果、複数画素中に分散された増幅手段を有するAPSにおいても、光電変換部のピッチを一定することによって、解像度の低下とモアレ縞の発生を防止し、開口率等を向上させ、良好な性能を得ることができると見出した。

【0024】以下、本発明の実施形態について図面を用いて説明する。

【0025】図1(a)は縦方向の画素が増幅手段12を共有する例を示す図であり、図1(b)は横方向の画素が増幅手段12を共有する例を示す図である。

【0026】図1(a)では、1つの増幅手段12を共有する縦方向の二つの光電変換部(a11とa21, a31とa41, a12とa22, a32とa42, ...)が隣接するよう配置され、この配置された二つの光電変換部に沿って増幅手段12を配置することで、光電変換部(a11, a21, a31, a41, ..., a12, a22, a32, a42, ...)が等間隔で配置できるようにした。なお、13は2行分の繰返し単位セル、14は1列分の繰返し単位セルを示す。

【0027】また図1(b)では、1つの増幅手段12を共有する横方向の二つの光電変換部(a11とa12, a13とa14, a21とa22, a23とa24, a31とa32, a33とa34, ...)が隣接するように配置され、配置された複数の光電変換部に沿って増幅手段12を配置することで、光電変換部(a11, a12, a13, a14, ..., a21, a22, a23, a24, ..., a31, a32, a33, a34, ...)が等間隔で配置できるようにした。なお、15は1行分の繰返し単位セル、16は2列分の繰返し単位セルを示す。

【0028】本例では1つの増幅手段を共有する光電変換部の数はN=2であるが、3以上の任意の数で構わない。

【0029】また本発明者らは上記のような複数画素で

1つの増幅手段を共有する撮像装置のノイズ除去に好適に用いられる信号読み出し回路も見出した。

【0030】以下、図3及び図8を用いてノイズ除去の動作について説明する。まず、リセット用MOSトランジスタMRESにより、リセットを行なった後に、ソースフォロア回路を構成するMOSトランジスタMSF, MSEからノイズ信号を読み出す、次にホトトランジスタa11に蓄積された信号を転送用MOSトランジスタMTX1を通してMOSトランジスタMSFのゲートに転送し、MOSトランジスタMSF, MSELを通して第一の信号として読み出す。次いで、同様にしてリセットを行なった後に、さらに、ホトトランジスタa12に蓄積された信号を転送用MOSトランジスタMTX2を通してMOSトランジスタMSFのゲートに転送し、MOSトランジスタMSF, MSELを通して第二の信号として読み出す。こうして、ノイズ信号、第一の信号、第二の信号が得られるが、第一の信号、第二の信号からノイズ信号を減算すれば、ノイズ成分が除去されたホトトランジスタa11からのセンサ信号、ノイズ成分が除去されたホトトランジスタa12からのセンサ信号を得ることができる。

【0031】また、クロックのタイミングを変更することにより、読み出される第2の信号は、MOSトランジスタMSFのゲートにはホトトランジスタa11から転送された信号が残留した状態で、ホトトランジスタa12から信号を転送すると、ホトトランジスタa11から転送された信号とホトトランジスタa12から転送された信号との加算信号を得ることが出来る。

【0032】

【実施例】以下、本発明の実施例について図面を用いて詳細に説明する。

(第1の実施例) 図2に本発明の一実施例である撮像装置のシステムブロック図を示す。同図に示すように、光学系21を通じて入射した画像光はCMOSセンサー22上に結像する。CMOSセンサー22上に配置されている画素アレーによって、光情報は電気信号へと変換される。その電気信号は信号処理回路23によって予め決められた方法によって信号変換、処理され、出力される。信号処理された信号は、記録系・通信系24により情報記録装置により記録、あるいは情報転送される。記録あるいは転送された信号は再生系27により再生される。CMOSセンサー22、信号処理回路23はタイミング制御回路25により制御され、光学系21、タイミング制御回路25、記録系・通信系24、再生系27はシステムコントロール回路26により制御される。

【0033】図3に上記CMOSセンサーの一画素分の回路構成図を示す。図3において、a11, a12は光電変換部となるホトダイオード、MTX1, MTX2はホトダイオードa11, a12に蓄積された信号電荷をフローティングディフュージョン(以下、FDと記す。)に転送する転送用MOSトランジスタ、MRESはFDをリセットする

リセット用MOSトランジスタ、MSF、MSELはソースフォロア回路を構成するMOSトランジスタであり、MSELは画素を選択する選択スイッチとなっている。

【0034】図4に本実施例のCMOSセンサーの画素アレー部の具体的なパターンレイアウト図を示す。図5は図4の配線の一部を除去した図である。

【0035】図4に示すCMOSセンサーは単結晶シリコン基板上にレイアウトルール0、 $4\ \mu\text{m}$ によって形成されており、画素の大きさは $8\ \mu\text{m}$ 角であり、増幅手段であるソースフォロワーアンプは縦方向の2画素で共有されている。従って、図中点線領域で示した繰返し単位セル31の大きさは $8\ \mu\text{m} \times 16\ \mu\text{m}$ 角であり、2次元アレーが形成されている。

【0036】光電変換素子であるホトダイオード32a、32bは各画素の右側（図中の右側）に形成されており、その形状は上下ではほぼ同一である。また光を感じる領域の重心gは各画素に対して同一になるように設計されている。なお、理解の容易化のために図5においてはホトダイオード32a、32bの領域、およびFD35の領域を太線で示している。図4において、38は奇数行転送ゲート33を制御する奇数行走査線、39は偶数行転送ゲート34を制御する偶数行走査線、40は行選択線、42はMOSゲート43を制御するリセット線である。なお図5ではこれらの配線38～42は除かれて示されている。

【0037】ホトダイオード32a、32b中に蓄積された信号電荷は奇数行転送ゲート33、あるいは偶数行転送ゲート34を通ってFD35に導かれる。両ゲート33、34のMOSサイズは $L=0.4\ \mu\text{m}$ 、 $W=1.0\ \mu\text{m}$ （Lはチャネル長、Wはチャネル幅を示す。）である。FD35は幅 $0.4\ \mu\text{m}$ のA1配線によってソースフォロワーの入力ゲート36に接続されており、FD35に転送された信号電荷は入力ゲート35の電圧を変調させる。入力ゲート36のMOSの大きさは $L=0.8\ \mu\text{m}$ 、 $W=1.0\ \mu\text{m}$ であり、FD35と入力ゲート36の容量の和は $5\ f\text{F}$ 程度である。 $Q=CV$ であるから、 10^5 個の電子の蓄積によって入力ゲート36の電圧は、 3.2 V 変化することになる。

【0038】 V_{dd} 端子41から流れ込む電流は入力ゲート36によって変調され、垂直信号線37に流出する。垂直信号線37に流出する電流は図示しない信号処理回路によって、信号処理され、最終的には画像情報となる。

【0039】その後、ホトダイオード32a、32b、FD35、入力ゲート36の電位を所定の値の V_{dd} とするために、リセット線42に接続されたMOSゲート43を開くことで（このとき、奇数行転送ゲート33、偶数行転送ゲート34も開く）、ホトダイオード32a、32b、FD35、入力ゲート36は V_{dd} 端子とショートされる。

【0040】その後、奇数行転送ゲート33、偶数行転送ゲート34を閉じることで、ホトダイオード32a、32bの電荷蓄積が再び始まる。

【0041】ここで注目すべきは水平方向に貫通する配線の総数Nは、奇数行走査線38、偶数行走査線39、行選択線40、リセット線42の合計 $N=4$ であり、上下画素に各2本毎分配されている点である。

【0042】前述の通り、画素間の配線は上方に存在する太い配線であるため、その本数の増加は徒らに不感領域を増大させ、開口面積を低下させる。また、上方に2本、下方に3本といった通し方は、ホトダイオードの開口大きさ及び重心位置を上下で不一致にする恐れがある。

【0043】本実施例ではこれを避けるために、最上層にある金属遮光層とスルーホール41にて画素中で接続することによって、 V_{dd} 電源を確保している。

【0044】本実施例によれば画素ピッチが等しい比較的高面積率、高開口率なCMOSセンサーを提供することができる。

【0045】なお、本実施例における面積率、開口率は例えば公知のオンチップ凸レンズ等の技術を用いて更に向上させることができる。

【0046】また本実施例に用いた V_{dd} 電源供給用の金属層は遮光膜である必要はなく、画素全体に渡る、例えば容量形成用の一方の電極等でも良い。

（第2の実施例）本発明の他の実施例である撮像装置の具体的なパターンレイアウト図を図6に示す。図7

（a）は図6の配線の一部を除去した図、図7（b）、（c）はFD近傍を示す部分拡大図である。図7（b）はゲート54上の配線を除去した場合の図、図7（c）はゲート54上の配線を示した場合の図である。

【0047】図7において、ホトダイオード52a、52bの領域、およびFD55の領域を太線で示している。本実施例は実施例1と同様にCMOSセンサーであり、横方向の2画素で増幅手段であるソースフォロワーを共有した例である。同様にホトダイオードの重心gは左右画素で同一の場所にある。

【0048】図6および図7において、52a、52bはホトダイオード、53、54は奇数列転送ゲート、偶数列転送ゲート、55はFD、56はソースフォロワーの入力ゲート、57は垂直信号線、58は奇数列転送ゲート53を制御する奇数列走査線、59は偶数列転送ゲート54を制御する偶数列走査線、60は行選択線、62はMOSゲート63を制御するリセット線である。なお、ソースフォロワーの入力ゲート56とFD55とを接続する配線は図7（c）に示すようにゲート54上で交差するように設けられている。

【0049】本実施例の面積率、開口率は前述の縦方向の実施例1より改善されており、更に広ダイナミックレンジ、高感度、高S/Nなセンサーと成っている。

容量 C_{TS1} に保持される。

【0056】次に期間 T_5 では、 ϕRV がハイレベルとなって垂直信号線 5 7 のみがリセットされる。他の回路は $\phi S0$ 、 $\phi T_S \sim \phi T_{S2}$ がロウレベルであるのでリセットの影響は受けず、その状態は保持されたままである。

【0057】次に期間 T_5 と期間 T_6 の間でリセット線 6 2 に印加される信号 ϕTX_{R0} がハイレベルとなって画素中の入力ゲートが VDD にリセットされる。

【0058】次に期間 T_6 では、今度は偶数列走査線 5 9 に印加される信号 ϕTX_{R0} がハイレベルになって偶数列のホトダイオード a_{12} の蓄積電荷がフローティングゲートに転送され、その時には垂直信号線 5 7 に接続される蓄積容量は、 $\phi TS2$ をハイレベルとすることで信号蓄積用の蓄積容量 C_{TS2} となっており、ホトダイオード a_{12} に相当する偶数列の信号電荷が垂直信号線 5 7 を介して蓄積容量 C_{TS2} に保持される。

【0059】このようにして 1 行分のノイズ成分、第一の信号、第二の信号の電荷が蓄積容量 C_{TN} 、 C_{TS1} 、 C_{TS2} に各列毎に蓄積される。

【0060】次に期間 T_7 においては、各列の蓄積容量 $C_{TN} \sim C_{TS2}$ に蓄積された電荷を各々順次增幅アンプ 8 6-1～8 6-3 に転送するため、水平シフトレジスタ 7 1 により水平走査パルス ϕHn を各列毎に順次ハイレベルとすることによって各列毎に配置されたゲートトランジスタ 8 4-1, 8 4-2, 8 4-3 をオンし、各列毎の蓄積容量 $C_{TN} \sim C_{TS2}$ と増幅アンプ 8 6-1～8 6-3 を導通させる。増幅アンプ 8 6-1～8 6-3 からはノイズ成分と、第一の信号、第二の信号が出力され、差動アンプ 8 7-1 によって第一の信号からノイズ成分が引かれた成分 $S1$ が出力され、また差動アンプ 8 7-2 によって第二の信号からノイズ成分が引かれた成分 $S2$ が出力される。また期間 T_7 は、ホトダイオードの光電荷蓄積が行われる期間でもある。

【0061】なお、期間 T_5 と期間 T_6 の間でリセット線 6 2 に印加される信号 ϕTX_{R0} をハイレベルとせずに、リセットを行なわない場合には、期間 T_6 では、偶数列のホトダイオード a_{12} の蓄積電荷が（ホトダイオード a_{11} からの転送電荷が残留している）フローティングゲートに転送され、ホトダイオード a_{11} に相当する奇数列の信号とホトダイオード a_{12} に相当する偶数列の信号との信号 2 成分の電荷が垂直信号線 5 7 を介して蓄積容量 C_{TS2} に保持される。したがって 1 行分のノイズ成分、信号 1 成分、信号 2 成分の電荷を蓄積容量 C_{TN} 、 C_{TS1} 、 C_{TS2} に各列毎に蓄積することができる。そして、期間 T_7 において、増幅アンプ 8 6-1～8 6-3 にノイズ成分と、信号 1、信号 2 成分が出力され、差動アンプ 8 7-1 によって信号 1 成分からノイズ成分が引かれた成分 $S1$ が出力され、また差動アンプ 8 7-2 によって信号 2 成分からノイズ成分が引かれた成分 $S2$ が出力される。

【0062】なお、本発明は CMOS センサーに限ること

【0050】本実施例では水平方向には最低限必要である 4 本のみの配線が通っており、 VDD 電源 6 1 は、垂直信号線 5 7 と対称な位置で縦方向に通過している。

（第 3 の実施例）次に信号処理回路部を含む本発明に係わる撮像装置について説明する。図 8 に本実施例の信号処理回路部を含む撮像装置の等価回路図を示す。また図 9、図 10 にその動作を示すタイミングチャートを示す。

【0051】図 9 に示すように、垂直プランギング期間を表わすクロック $\phi V(n)$ によって垂直走査が開始される。まず 1 行目のリセット線 6 2 に印加される信号 ϕTX_{R0} が水平プランギング期間（ ϕHBL がハイレベルの期間）中に活性化し、次いで 2 行目、3 行目が同様に行われる。これにより、各行の画素がリセット電位である VDD にリセットされる（図 9）。

【0052】各水平期間中には図 10 に示したように、期間 T_1 では信号 ϕRV がハイレベルとなって、垂直信号線 5 7 に接続するリセット用トランジスタ 8 0 がオンし、垂直信号線 5 7 がリセットされる。それと共に ϕT_S 、 ϕT_{S1} 、 ϕT_{S2} がハイレベルとなって各ゲートトランジスタ 8 2-1, 8 2-2, 8 2-3 がオンし、信号読出用トランジスタ 8 4-1, 8 4-2, 8 4-3 より前までの配線と蓄積容量 8 3-1, 8 3-2, 8 3-3 (C_{TN} , C_{TS1} , C_{TS2}) が垂直信号線 5 7 と導通し、同様にリセットされる。これにより、蓄積容量 8 3-1, 8 3-2, 8 3-3 等に蓄積していた電荷が除去される。

【0053】次いで期間 T_2 で、リセット線 6 2 に印加される信号 ϕTX_{R0} がハイレベルとなって画素中のソースフォローワーアンプの入力ゲートであるフローティングゲートが VDD にリセットされる。

【0054】次いで期間 T_3 で、信号 ϕL がハイレベルとなって、垂直信号線 5 7 に接続する接地用トランジスタ 8 1 がオンし、垂直信号線 5 7 が接地される。それと共にノイズ成分を蓄積するための蓄積容量 C_{TN} 8 3-1 を垂直信号線 5 7 に接続するために、 ϕT_S をハイレベルとし、ゲートトランジスタ 8 2-1 をオンさせる。その時には行選択線 6 0 に印加される信号 $\phi S0$ はハイレベルとなっており、フローティングゲートの電位 ($\sim VDD$) に応じた電流が VDD 端子から蓄積容量 C_{TN} 8 3-1へ向かって流れ込むことによって、蓄積容量 C_{TN} 8 3-1 はノイズ成分の電荷を保持するようになる。

【0055】次に期間 T_4 で、奇数列走査線 5 8 に印加される信号 ϕTX_{R0} がハイレベルとなって画素中にある奇数列転送ゲートがオンし、ホトダイオード a_{11} 中の画像光に対応する蓄積電荷がフローティングゲートに転送される。その時には垂直信号線 5 7 に接続される蓄積容量は、 ϕT_S をロウレベル、 ϕT_{S1} をハイレベルとすることで、ノイズ蓄積用の蓄積容量 C_{TN} から信号蓄積用の蓄積容量 C_{TS1} となっており、ホトダイオード a_{11} に相当する奇数列の信号の電荷が垂直信号線 5 7 を介して蓄積

とはなく、他のAPSセンサーに容易に応用することができる。

【0063】さらに、本発明は2次元アレーだけでなく、その他の次元、例えば1次元ラインセンサーにも容易に応用することができる。

【0064】さらに、上記実施例では、一つのアンプに対して複数の光電変換部を配置して単位セルを構成しているが、アンプ以外であっても、複数の光電変換部からの信号を処理するもの、例えばA/D変換（米国特許第5431425号）や画像圧縮（テレビジョン学会誌vol.150, no3, pp335-338, 1995）などの信号処理回路でもよい。

【0065】

【発明の効果】以上説明したように、本発明によれば、解像度の低下、モアレ縞の発生といった性能低下を生じることがなく、高歩留なセンサーを実現することができる。

【図面の簡単な説明】

【図1】本発明の画素部レイアウトの例を示す図である。

【図2】本発明の撮像装置の一実施例のシステムブロック図である。

【図3】CMOSセンサーの一画素分の回路構成図を示す。

【図4】本発明の撮像装置の一実施例のパターンレイアウト図である。

【図5】図4の配線の一部を除去した図である。

【図6】本発明の撮像装置の他の実施例のパターンレイアウト図である。

【図7】(a)は図6の配線の一部を除去した図、

(b), (c)はFD近傍を示す部分拡大図である。

【図8】本発明の撮像装置の他の実施例の信号処理回路図である。

【図9】本発明の撮像装置の他の実施例のタイミングチャートである。

【図10】本発明の撮像装置の他の実施例のタイミングチャートである。

【図11】撮像装置の画素部レイアウト図である。

【図12】図11の撮像装置のパターンレイアウト図である。

【図13】カラーフィルタマトリックスの一例を示す図である。

【図14】複数画素で1つの増幅手段を共有する撮像装置の画素構成を示す図である。

【符号の説明】

1 1 光電変換部

1 2 増幅手段

2 1 光学系

2 2 センサー

2 3 信号処理回路

3 1, 5 1 繰返し単位セル

3 2, 5 2 ホトダイオード

3 3, 5 3 転送ゲート

3 4, 5 4 転送ゲート

3 5, 5 5 フローティングディフュージョン

3 6, 5 6 入力ゲート

3 7, 5 7 垂直信号線

3 8, 5 8 走査線

3 9, 5 9 走査線

4 0, 6 0 選択線

4 1, 6 1 V_{DD}

4 2, 6 2 リセット線

7 0 VSR (垂直シフトレジスタ)

7 1 HSR (水平シフトレジスタ)

8 0 リセット用トランジスタ

8 1 接地用トランジスタ

8 2 ゲートトランジスタ

8 3 容量

8 4 ゲートトランジスタ

8 5 リセット用トランジスタ

8 6 増幅アンプ

8 7 差動アンプ

T₁ 垂直信号線及び一時蓄積容量 (C_{TS1} , C_{SI} , C_{S2}) の不要電荷除去期間

T₂ 画素アンプ、フローティングゲートの不要電荷除去期間

T₃ 画素アンプをソース負荷導通によりONさせ、フローティングゲートのランダムノイズと画素アンプのオフセット電圧を C_{SI} へ転送 ($V_{th} + \Delta V_n$) する期間

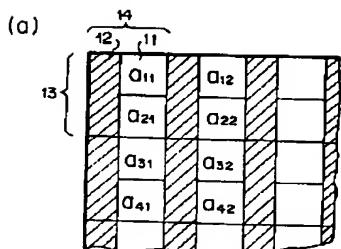
T₄ 画素 a_{11} の信号をフローティングゲートへ転送し、その信号電圧を C_{TS1} へ転送 ($V_{th} + \Delta V_n + S_1$) する期間

T₅ 垂直信号線の不要電荷除去期間

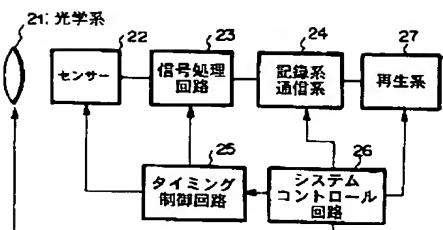
T₆ 画素 a_{12} の信号をフローティングゲートへ転送し、その信号電圧を C_{TS2} へ転送 ($V_{th} + \Delta V_n + S_2$) する期間

T₇ 蓄積開始および差動アンプでノイズの減算処理を行う期間

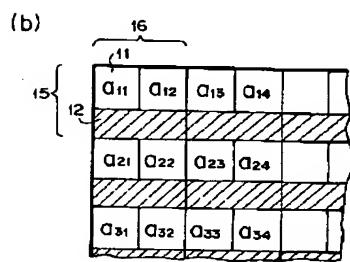
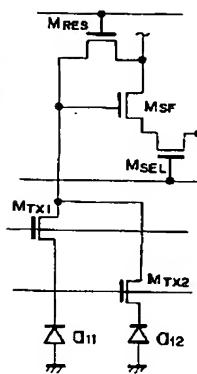
【図1】



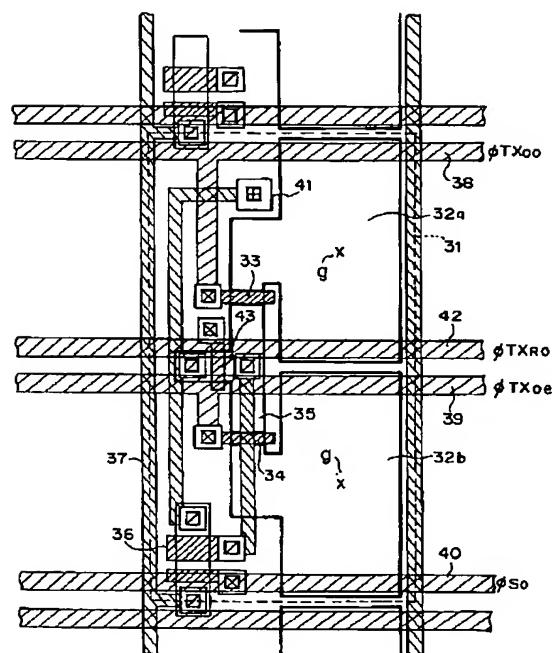
【図2】



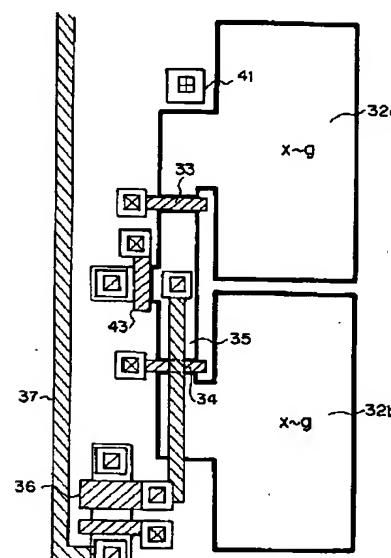
【図3】



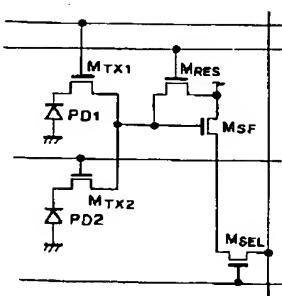
【図4】



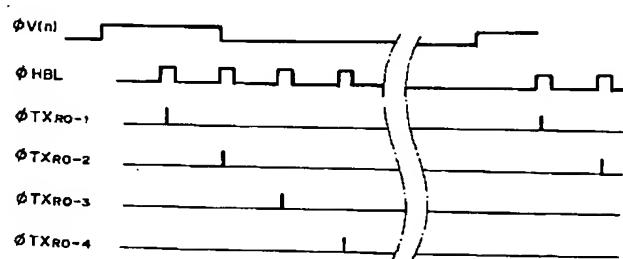
【図5】



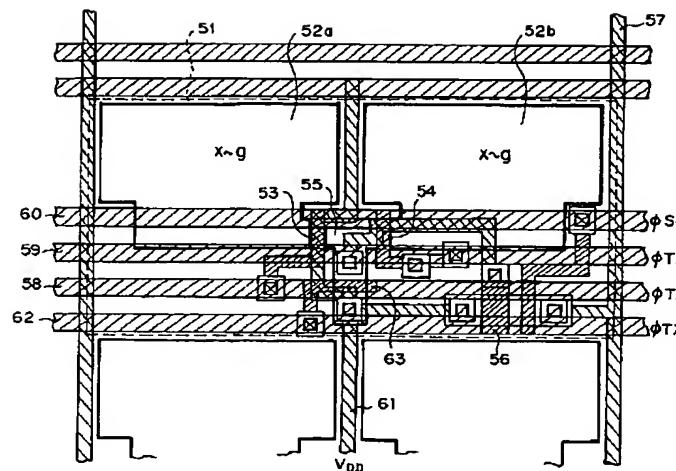
【図14】



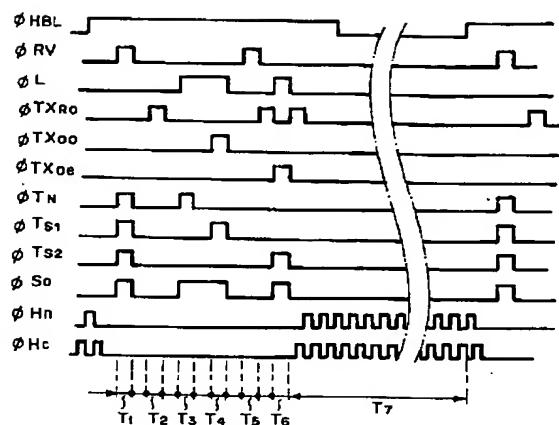
【図9】



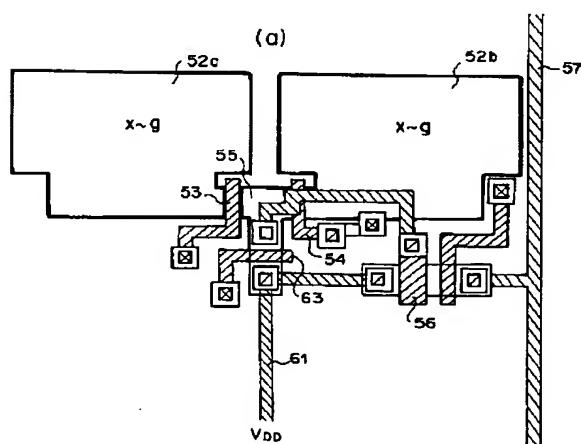
【図6】



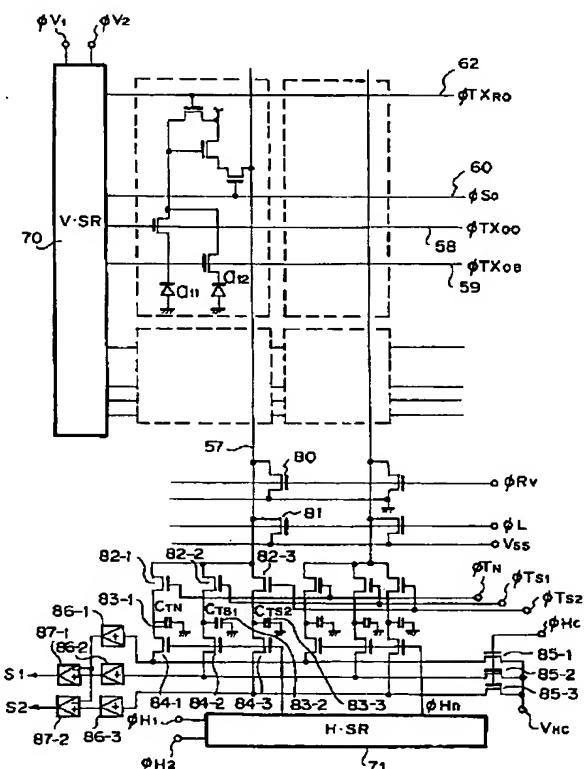
【図10】



【図7】



【図8】

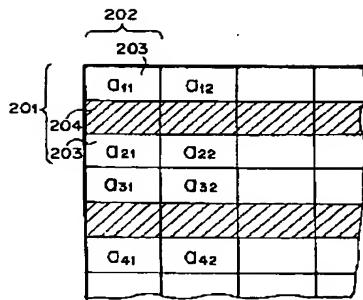


【図13】

R	G	R	G
G	B	G	B
R	G	R	G

Cy	Ye
Mg	G
Cy	Ye
G	Mg

【図11】



【図12】

